

I²C 总线接口 IP 核的设计研究

刘虹¹, 刘洁²

(1. 云南广播电视大学, 云南昆明 650223; 2. 昆明理工大学 信息与自动化学院, 云南昆明 650091)

摘要: 根据 I²C 接口传输协议, 用 Altera 公司的 EDA 设计软件 Max + plus II 和 VHDL 语言设计了可用于 CPLD 的 IP 核, 该设计可用于将 I²C 接口器件与 8 位 MPU 的并行总线相连接, 以提高 8 位嵌入系统的工作性能. 通过下载实验验证了该 IP 核的工作性能.

关键词: I²C 接口; CPLD; IP 核

中图分类号: TN602 **文献标识码:** A **文章编号:** 1007 - 855X(2004)05 - 0076 - 04

Research on the VHDL IP Core Design of the I²C Bus Interface

LIU Hong¹, LIU Jie²

(1. Yunnan RTV University, Kunming, Kunming, 650223, China;

2. Faculty of Information Engineering and Automation, Kunming University of Science and Technology, Kunming 650051, China)

Abstract: Based on the I²C bus protocol, is used to the Altera's EDA software Max + plus II and VHDL. This IP core can be used in the parallel bus of the 8 bit MPU to improve the capability of the embed system, which has been validated by the experiment.

Key words: I²C interface; CPLD; IP core

0 引言

(Inter - Integrated Circuit) 串行总线是用于 IC 器件间传送数据的一个国际标准协议, 目前的最新版本是 2.1 - 2000^[1]. 当前国际上有超过 50 家的半导体公司的 1000 多种芯片上集成了 I²C 接口. 在现代数字系统 I²C 器件几乎无处不在. Intel 公司在其最新的 PXA 系列的 32 位 MPU (Micro - Processor Unit) 中也集成 I²C 接口^[2]. 但是, 在当前使用最流行的各种 8 位 MPU 中, 具有 I²C 接口的还很少, 一般情况下都使用 GPIO 与 I²C 芯片直接连接, 采用软件编程的方式实现 I²C 协议. 这样做将大量占用 CPU 的处理时间, 使整个系统的工作效率严重下降.

随着现代硬件电子设计的软件化的发展, 硬件描述语言 (HDL) 已经成为电子设计不可缺少的工具. 用 HDL 设计的一定规模和层次上的电路在经过验证后可以作为一个“虚拟器件”, 称为 IP (Intellectual Property) 核. IP 核可以重复利用, 并可建立 IP 库, 使电路设计的效率得到很大的提高. 本文对 I²C 串行总线接口用 VHDL (Very High Speed Integeratd Circuit) 语言^[3] 设计了一个 IP 核, 利用 CPLD 和 FPGA 可以很容易地实现 I²C 器件与 8 位 MPU 的并行总线相连接, 使 CPU 对 I²C 器件的访问仅使用一般的读/写指令就可以实现, 大大减轻了 CPU 的负担. 本设计采用 Altera 公司的 EDA 软件 Max + plus II 进行设计. 在成功进行了仿真后, 将设计结果下载到了 Altera 公司 CPLD 芯片中进行了实验, 证明设计是成功的.

1 I²C 串行总线协议

I²C 串行总线多用于在 IC 器件之间传送数据. 在单主方式的系统中, I²C 总线上只有一个主节点, 其余都是带 I²C 接口的器件, 因此不会出现竞争冲突, 主节点不必有自己的节点地址, 而每个从节点需要一个自己的硬件地址. I²C 总线有两条 I/O 线, 一条串行数据线 (SDA) 和一条串行时钟线 (SCL). 通过 SDA 与

收稿日期: 2004 - 05 - 21.

作者简介: 刘虹 (1963 ~), 女, 硕士, 讲师. 主要研究方向: 计算机应用及远程教学. E - mail: liuhong@yahoo.com.

SCL 的配合就可实现数据的收发。

I²C 串行上数据传递时序如图 1 所示,每一帧数据传送一个字节,传送开始有起始信号,结束时有停止信号.每次启动后传送的字节数没有限制,要求每接收一个字节后给出一个应答位.首先发送数据的最高位,传送完一个字节后,可以通过对时钟线的控制使传送暂停.如果需要暂停数据传送,可在应答信号后使 SCL 变低电平控制总线暂停.如果需要主节点要求总线暂停也可使时钟线保持低电平控制总线暂停.在图 1 中显示了 I²C 总线上传送 2 个字节时 SDA 和 SCL 的时序情况。

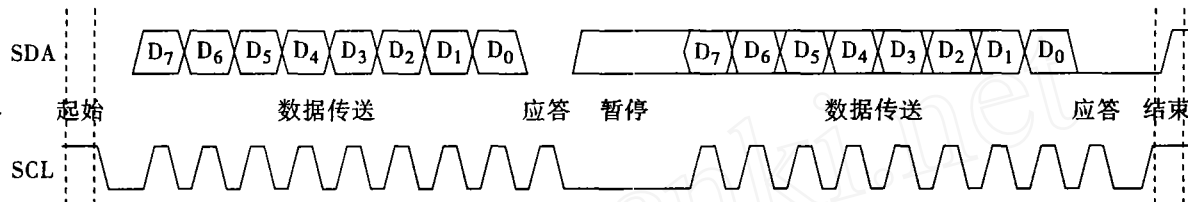


图1 I²C 串行数据传递时序
Fig.1 Data transfer on the I²C-bus

2 I²C 核的建立

现在,许多 IC 器件都用 I²C 接口来收发数据,但目前的多数 8 位单片机都没有专用的 I²C 接口,因此常常只通过 GPIO 口利用软件编程实现 I²C 总线的数据传送,这将大量占用 CPU 的工作时间.如果利用 CPLD 来实现 I²C 总线的控制,则可以使 CPU 对 I²C 器件的访问变成普通的读/写操作。

2.1 IP 核的端口

IP 核一方面通过 8 位数据总线与单片机交换数据,另一方面通过 I²C 总线与 I²C 器件交换数据.因此,IP 核应具有如图 2 所示的器件图。

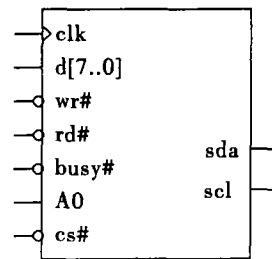


图2 IP核器件图
Fig.2 IP core component

2.2 IP 核器件结构

在 IP 核器件图中,左边的端口接单片机的信号总线,右边接 I²C 器件.其内部结构如图 3 所示,其中各组件的工作情况如下:

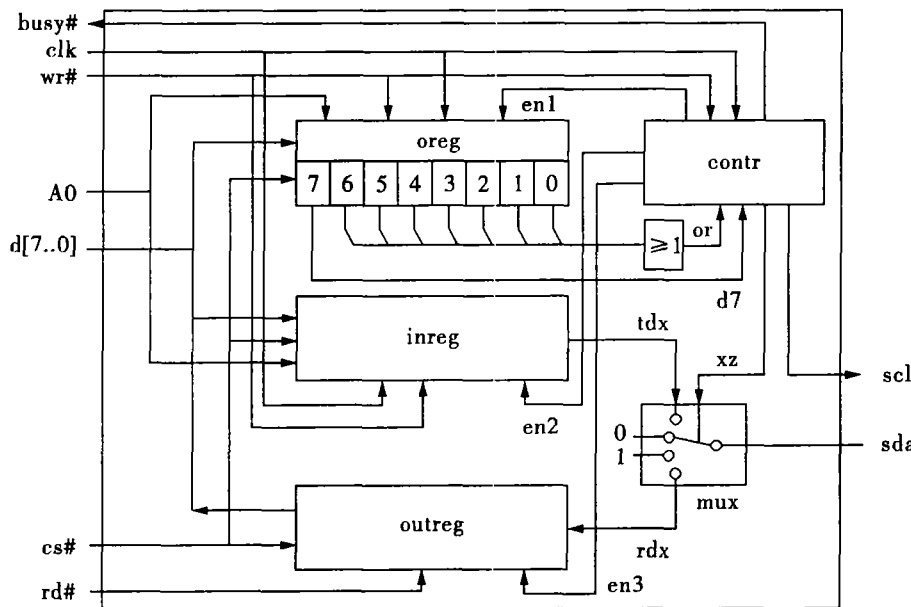


图3 Ip核器件结构
Fig.3 The structure of the IP core

oreg: IP 核器件内部 8 位工作寄存器.当 A0 = 0 时,单片机可以将控制字写进 oreg 中.控制字的定义如

3 应用实例

该 IP 核器件用 VHDL 语言编写,在 Altera 公司的 Max + plus II 环境中进行编译,下载器件为 EMP7128SLC84^[4]. I²C 器件为 Atmel 公司的 EEPROM 芯片 AT24C32^[5],该芯片正常擦写可达 100 万次,数据保存时间达 100 年.图 5 所示为从 inreg 发出一个字节 (10110011) 到 I²C 器件的仿真波形图.图 6 所示为从 I²C 器件接收一个字节 (10011010) 到 outreg 中的仿真波形图.单片机用 Atmel 公司的 AT90S8515 处理器^[6]. AT24C32 的存储容量为 32Mbit,组织结构为 128page × 32byte.图 7 是 AT90S8515

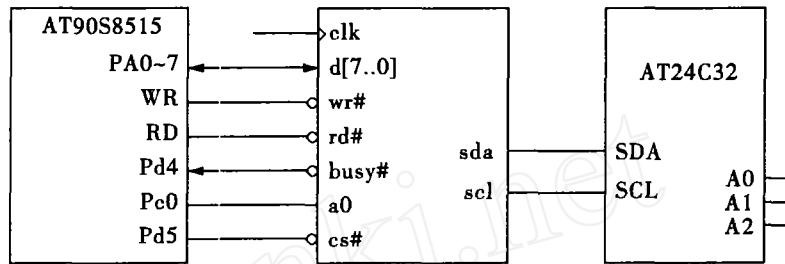
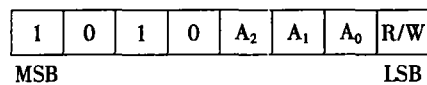


图7 IP核器件与MPU和I²C存储器的连接
Fig.7 The connect between the MPU and I²C

通过 I²C 总线接口器件与 AT24C32 连接情况.其中 AT24C32 上的 A₂A₁A₀ 是该器件地址,由硬件连接决定.因此,在一个 I²C 总线上,可以同时连接 8 片 AT24C32. AT90S8515 的一次操作为 8bit.

在 I²C 总线启动后,首先写入 8bit 的器件地址,格式如下:



其中 1010 对 AT24C × × 器件是固定的, A₂A₁A₀ 是 AT24C32 因硬件连接确定的器件地址, R/W = 0 为对器件进行写操作 (R/W = 1 表示对器件进行读操作). 在接收到器件的应答信号 (ACK) 后, 分两次写入 12bit 数据单元地址, 先写入高 4 位 (一个字节, 用低 4 位), 接收到器件的应答信号后, 再写入低 4 位. 之后直接传送要写入的数据, 若数据地址在 1 页范围内, 可以连续写入. 如果要进行读操作, 则在写完地址后, 要先停止 I²C 总线, 然后在启动 I²C 总线, 在写入器件地址后 (R/W = 0), 就可进行数据的读出. 在 1 页范围内, 可以连续读出. 时钟 clk 的频率要根据 I²C 器件的要求而定, 对 AT24C32 最高为 400 kHz. I²C 上最快速度可达到 3.4Mbit/S.

4 结 语

本设计适用于各种微处理器与各种 I²C 总线器件的连接. 由于适用了 VHDL 语言进行设计, 其与并行总线接口可以很容易地修改和调整使之与各种处理器相适应. 对 I²C 总线器件的数据传送格式和要求也很容易进行调整. 如果并行总线是 32bit 的, 而 I²C 总线器件是 8bit 的, 只需要将 oreg、inreg、outreg 寄存器调整为 32bit, 并分 4 次传送即可.

参考文献:

- [1] I²C 总线规范[EB/OL]. <http://www.zlgmcu.com/philips/yingrong/iic/I²C-BUS.pdf>.
- [2] Intel(r) PXA250 and PXA210 Application Processors[EB/OL]. <http://www.intel.com/design/pca/prodbref/298620.htm>.
- [3] 赵俊超,等. 集成电路设计 VHDL 教程[M]. 北京: 希望电子出版社, 2002. 327.
- [4] MAX7000 Programmable Logic Device Family[EB/OL]. <http://www.altera.com/software/down/max7000.pfd>.
- [5] 2-Wire Serial EEPROM AT24C32[EB/OL]. <http://www.atmel.com/devise/doc3054.pdf>.
- [6] AT90S8151 Rev. B Errata Sheet[EB/OL] <http://www.atmel.com/devise/doc1195.pdf>.